



WO 9607987A1

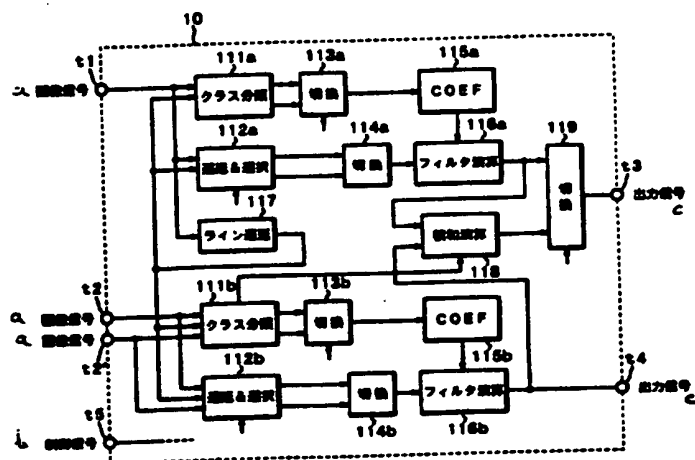
| | | |
|--|--|---|
| (51) 国際特許分類6 G06T 1/00, H04N 5/21, G06F 17/10, H03H 17/02 | A1 | (11) 国際公開番号 WO96/07987 (43) 国際公開日 1996年3月14日(14.03.96) |
| (21) 国際出願番号 PCT/JP95/01779 (22) 国際出願日 1995年9月7日(07.09.95) (30) 優先権データ 特願平6/242150 1994年9月9日(09.09.94) JP (71) 出願人 (米国を除くすべての指定国について) ソニー株式会社(SONY CORPORATION)[JP/JP] 〒141 東京都品川区北品川6丁目7番35号 Tokyo, (JP) (72) 発明者: および (75) 発明者/出願人 (米国についてのみ) 近藤哲二郎(KONDO, Tetsujiro)[JP/JP] 堀土 賢(HORISHI, Takashi)[JP/JP] 〒141 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo, (JP) (74) 代理人 弁理士 杉浦正知(SUGIURA, Masatomo) 〒170 東京都豊島区東池袋1丁目48番10号 25山京ビル420号 Tokyo, (JP) | (81) 指定国 JP, KR, US. 添付公開書類 国際調査報告書 | |

(54) Title: INTEGRATED CIRCUIT FOR PROCESSING DIGITAL SIGNAL

(54) 発明の名称 デジタル信号処理用集積回路

(57) Abstract

A piece of common hardware on one chip has functions to process digital signals. An LSI (10) is provided with input terminals (t1, t2 and t2'), output terminals (t3 and t4), a control signal input terminal (t5). Classifying circuits (111a, 111b), delay and selection circuits (112a, 112b), switching circuits (113a, 113b, and 114a, 114b) coefficient memories (115a, 115b), filter calculating circuits (116a, 116b), a line delay circuit (117), a multiplication/addition circuit (118), and a switching circuit (119) are provided as hardware. Control signals are used for selectively controlling the flows of signals and functions of the circuits. Therefore, the function of the LSI (10) can be switched and signals can be processed by means of the LSI (10) only.



a: image signal
 b: control signal
 111a, 111b: classification
 112a, 112b: delay and selection
 117: line delay
 113a, 114a, 113b, 114b, 119: switching
 116a, 116b: filter calculation
 118: multiplication/addition
 c: output signal

(57) 要約

一つのチップ上に構成される共通のハードウェアによって、複数の機能のディジタル信号処理を可能とする。

LSI10は、入力端子t1、t2、t2'、出力端子t3、t4および制御信号入力端子t5を有し、ハードウェアとして、クラス分類回路111a、111b、遅延および選択回路112a、112b、切り換え回路113a、113b、切り換え回路114a、114b、係数メモリ115a、115b、フィルタ演算回路116a、116b、ライン遅延回路117、積和演算回路118、切り換え回路119が設けられる。そして、制御信号によって、信号の流れと回路群の機能を選択的に制御する。それによって、LSI10の機能を切り換えることができ、複数の信号処理を一つのLSI10により実現する。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を特定するために使用されるコード

| | | | | | | | |
|----|-----------|----|-----------|----|----------|----|------------|
| AL | アルバニア | DK | デンマーク | LK | スリランカ | PT | ポルトガル |
| AM | アルメニア | DE | ドイツ | LR | リベリア | RU | ロシア連邦 |
| AU | オーストラリア | EE | エストニア | LS | レソト | UD | ウズベキスタン共和国 |
| AZ | アゼルバイジャン | FI | フィンランド | LT | リトアニア | SS | スウェーデン |
| BB | バハマ | FR | フランス | LU | ルクセンブルグ | SG | シンガポール |
| BE | ベルギー | GB | イギリス | LV | ラトヴィア | SK | スロバキア共和国 |
| BG | ブルガリア | GE | グルジア | MC | モナコ | SN | セネガル |
| BR | ブラジル | GR | ギリシャ | MD | モルドバ | SZ | スワジランド |
| CA | カナダ | HU | ハンガリー | MG | マダガスカル | TD | チャド |
| CF | 中央アフリカ共和国 | IE | アイルランド | MK | マケドニア共和国 | TG | トーゴ |
| CG | コンゴ | IS | アイスランド | ML | マリ | TM | トルクメニスタン |
| CH | スイス | JP | 日本 | MN | モンゴル | TT | トリニダード・トバゴ |
| CI | コート・ジボワール | KE | ケニア | MR | モーリタニア | TT | トリニダード |
| CM | カメルーン | KG | キルギスタン | MX | メキシコ | UG | ウガンダ |
| CN | 中国 | KR | 大韓民国 | NE | ニジェール | UZ | ウズベキスタン共和国 |
| CZ | チェコ共和国 | KZ | カザフスタン | NL | オランダ | VN | ベトナム |
| DE | ドイツ | LI | リヒテンシュタイン | NZ | ニュージーランド | | |
| | | | | PL | ポーランド | | |

明 細 書

発明の名称

デジタル信号処理用集積回路

技術分野

- 5 この発明は、例えばデジタル画像信号の処理のための集積回路に関する。

背景技術

- 10 例えばデジタル画像信号の処理のハードウェアをLSIとする場合、その一つの方法は、その処理と対応した専用のLSIを開発設計するものであり、他の方法は、汎用性を有するDSP(Digital Signal Processor)を利用することである。DSPは、積和演算器、RAM/ROM等からなり、FFT、デジタル・フィルタ等のデジタル信号処理を行なうことが可能なものである。

- 15 専用のLSIを開発設計する方法の場合では、デジタル信号処理の種類の数のLSIの開発設計が必要である。また、DSPは、汎用性に優れているが、効率が悪い問題があった。

発明の開示

- 20 従って、この発明の目的は、基本的なハードウェア構成を共通化し、複数の機能を1チップにより実現することができるデジタル信号処理用集積回路を提供することにある。

- 25 この発明は、単一の集積回路内に複数の回路群および少なくとも二つの状態を切り換え可能な選択手段が設けられてなり、外部からの信号によって選択手段が選択制御されるディ

デジタル信号処理用集積回路であって、

選択手段が第 1 の選択状態をとる時に複数の回路群の少なくとも一部が第 1 の接続状態となされ、第 1 の接続状態で第 1 の信号処理機能を遂行しうるようになされ、選択手段が第 2 の選択状態をとる時に、複数の回路群の少なくとも一部が第 1 の接続状態とは異なる第 2 の接続状態となされ、この接続状態で第 1 の信号処理機能とは異なる第 2 の信号処理機能を遂行するようになされたことを特徴とするディジタル信号処理用集積回路である。

集積回路の外部から与える制御信号によって、選択手段を制御し、それによって、複数の回路群の接続状態が切り換えられる。集積回路内のハードウェアの構成を共通とし、制御信号により選択的に指定できる複数の機能を 1 チップの集積回路で実現することができる。

図面の簡単な説明

第 1 図はこの発明による集積回路の一実施例の構成を示すブロック図、第 2 図はこの発明による集積回路の他の実施例の構成を示すブロック図、第 3 図はこの発明の他の実施例により実現される機能の一つであるアップコンバージョン回路のブロック図、第 4 図はアップコンバージョン処理を説明するための略線図、第 5 図は遅延および選択回路の一例のブロック図、第 6 図は遅延および選択回路の一例の説明に用いる略線図、第 7 図はクラス分類回路の一例のブロック図、第 8 図はクラス分類回路の一例の説明に用いる略線図、第 9 図はアップコンバージョン処理用の係数を得るための構成の一例

のブロック図、第 10 図は予測係数を求めるための学習をソフトウェア処理で行う時のフローチャート、第 11 図はこの発明の他の実施例により実現される機能の他の一つであるノイズリデューサのブロック図、第 12 図はノイズ除去処理用係数を得るための構成の一例のブロック図、第 13 図はノイズ除去処理を説明するための略線図である。

発明を実施するための最良の形態

以下、この発明について図面を参照して説明する。第 1 図は、この発明の一実施例における L S I 1 の構成を示すものである。すなわち、第 1 図ににおいて、破線で囲んだ構成が 1 チップの集積回路 (L S I) 1 の構成とされている。L S I 1 には、入力端子 t 1 および t 2、出力端子 t 3 および t 4、制御信号入力端子 t 5 が設けられている。図示しないが、実際には、通常のように、入力／出力端子以外に、電源端子、テスト端子等が L S I 1 に設けられている。

L S I 1 には、複数の回路群が形成されている。それらは、演算回路群 11 a、11 b と、メモリ 12 a、12 b と、積和演算回路群 13 a、13 b と、アダー 14 a、14 b と、乗算器 15 a、15 b と、レジスタ群 16 a、16 b とである。そして、これらの回路群あるいは回路に対して、入力／出力あるいは相互間 (回路群あるいは回路間の相互接続、および回路群の内部における回路間の相互接続の両者を意味する) の接続状態を切り換えるための切換器が L S I 1 内に設けられている。換言すると、L S I 1 内のデジタル信号の流れと、各回路群の機能とが制御信号により制御可能とさ

れる。

すなわち、演算回路群 1 1 a、1 1 b と関連して切換器 2 1 a、2 1 b が設けられ、メモリ 1 2 a、1 2 b と関連して切換器 2 2 a、2 2 b が設けられ、積和演算回路群 1 3 a、1 3 b と関連して切換器 2 3 a、2 3 b が設けられている。
5 。さらに、アダー 1 4 a、1 4 b、乗算器 1 5 a、1 5 b、レジスタ群 1 6 a、1 6 b と関連して切換器 2 4 が設けられている。これらの切換器 2 1 a、2 1 b、2 2 a、2 2 b、2 3 a、2 3 b および 2 4 に対しては、各数ビットの制御信号 S 1 ～ S 7 がそれぞれ供給される。制御信号 S 1 ～ S 7 は
10 、制御信号入力端子 t 5 を通じて外部の制御信号発生器（例えばリップスイッチで所定の制御信号を発生する構成）から供給可能とされている。

この第 1 図の構成によると、制御信号 S 1 ～ S 7 によって、クラス分類による予測処理の構成を実現することができる。
15 。クラス分類予測処理は、後述する一実施例によってより具体的に説明するが、演算回路群 1 1 a、1 1 b によって、レベル分布に基づいたクラス分類回路がそれぞれ構成され、線形 1 次結合（フィルタ）演算回路が積和演算回路群 1 3 a、1 3 b によってそれぞれ構成され、予測のための係数を格納するメモリがメモリ 1 2 a、1 2 b によってそれぞれ構成される。さらに、二つの 1 次元フィルタからの予測信号を混合（あるいは切り換え）のための混合回路がアダー 1 4 a、1 4 b、レジスタ群 1 6 a、1 6 b によって構成される。
20

また、第 1 図の L S I 1 は、クラス分類処理を用いたノイ
25

ズリデューサを構成することもできる。ノイズリデューサは、クラス分類に基づいて２次元フィルタ演算および３次元フィルタ演算によりそれぞれ形成されたノイズ除去出力を動き係数に応じて混合する構成とされる。ノイズリデューサの場合では、演算回路群１１ａ、１１ｂによって、２次元フィルタ回路が積和演算回路群１３ａによって構成され、３次元フィルタ回路が積和演算回路群１３ｂによって構成され、予測のための係数を格納するメモリがメモリ１２ａ、１２ｂによってそれぞれ構成され、２次元フィルタおよび３次元フィルタからのノイズ除去された信号を動き係数に応じて混合するための混合回路がアダー１４ａ、１４ｂ、レジスタ群１６

5
10
15
20
25

ａ、１６ｂによって構成される。

次に、この発明の他の実施例を第２図に示す。他の実施例は、第１図に示す構成と同様に、クラス分類適応処理を可能とした構成のものである。第２図において、１０がＬＳＩを示し、このＬＳＩ１０は、ディジタル画像信号が供給される入力端子ｔ１、ｔ２、ｔ２′、ＬＳＩ１０で処理されたディジタル画像信号が出力される端子ｔ３、ｔ４、制御信号が供給される端子ｔ５を有している。

15
20
25

一方の入力端子ｔ１からの画像信号がクラス分類回路１１１ａ、遅延および選択回路１１２ａおよびライン遅延回路１１７に供給される。クラス分類回路１１１ａは、後述するように、処理の対象の注目画素を注目画素値およびその周辺の画素値の分布によってクラス分けするために、論理演算を行う構成とされている。クラス分類回路１１１ａの出力が切り

換え回路 1 1 3 a に供給される。クラス分類回路 1 1 1 a は、クラス分類に使用する複数の画素の組合せとして 2 種類の組合せを出力可能なものである。例えば 1 次元の配列の複数の画素値を使用したクラス分けと、2 次元の配列の複数の画素値を使用したクラス分けを行うことができ、その二つのクラス分類動作の出力（クラス情報）の一方が切り換え回路 1 1 3 a によって選択される。切り換え回路 1 1 3 a は、端子 t 5 からの制御信号によって切り換えられる。選択されたクラス情報が係数メモリ 1 1 5 a に対してアドレスとして供給される。

遅延および選択回路 1 1 2 a は、レジスタ群、ライン遅延回路およびセレクタから構成されている。レジスタは、サンプル遅延素子として使用される。遅延および選択回路 1 1 2 a は、端子 t 5 からの制御信号によって、切り換えられる。

遅延および選択回路 1 1 2 a は、信号処理が異なるために生じる信号間の時間ずれを補正すると共に、フィルタ演算に必要なタップ出力を発生する。タップ出力としては、1 次元フィルタのためのタップ出力および 2 次元フィルタのためのタップ出力が形成される。また、1 次元および 2 次元フィルタのそれぞれにおいて、二つのタップ構造が切り換え可能とされ、二つのタップ構造のそれぞれの出力が切り換え回路 1 1 4 a に供給される。この切り換え回路 1 1 4 a で選択された複数のタップ出力（画素データ）がフィルタ演算回路 1 1 6 a に対して供給される。

フィルタ演算回路 1 1 6 a には、係数メモリ 1 1 5 a から

の係数データも供給され、積和演算によってフィルタ出力が形成される。すなわち、切り換え回路 1 1 4 a を介されたタップ出力（複数の画素データ）と係数メモリ 1 1 5 a から読出された複数の係数とが線形 1 次結合によって演算され、予測値が生成される。

ライン遅延回路 1 1 7 は、メモリで構成された 1 ～数ライン分の遅延を生じさせる回路である。ライン遅延回路 1 1 7 の出力が他のクラス分類回路 1 1 1 b に供給される。

上述したクラス分類回路 1 1 1 a、遅延および選択回路 1 1 2 a、切り換え回路 1 1 3 a、切り換え回路 1 1 4 a、係数メモリ 1 1 5 a、フィルタ演算回路 1 1 6 a と同様の接続関係を持つように、クラス分類回路 1 1 1 b、遅延および選択回路 1 1 2 b、切り換え回路 1 1 3 b、切り換え回路 1 1 4 b、係数メモリ 1 1 5 b、フィルタ演算回路 1 1 6 b が設けられている。入力端子 t 2 からの画像信号がクラス分類回路 1 1 1 b、遅延および選択回路 1 1 2 b に供給される。

切り換え回路 1 1 3 a、1 1 3 b、1 1 4 a、1 1 4 b、および後述の切り換え回路 1 1 9 は、端子 t 5 からの制御信号によって、制御される。また、係数メモリ 1 1 5 a、1 1 5 b には、予め学習により得られた予測（フィルタ）係数が格納されている。例えば電源オン等で発生するマスタリセットパルスによってなされる初期化動作によって、外部のメモリから L S I 1 0 の係数メモリ 1 1 5 a、1 1 5 b に対して予測係数が転送される。

フィルタ演算回路 1 1 6 a の出力が積和演算回路 1 1 8 お

よび切り換え回路 119 に供給される。フィルタ演算回路 116b の出力が積和演算回路 118 に供給されるとともに、出力端子 t4 に出力信号として取り出される。積和演算回路 118 の出力信号が切り換え回路 119 に供給される。積和演算回路 118 は、ノイズリデューサを構成する場合には、
5 クラス分類回路 111b から出力される動き係数に基づいてフィルタ演算回路 116a および 116b の出力を混合する。切り換え回路 119 は、端子 t5 からの制御信号によって切り換えられ、フィルタ演算回路 116a の出力と積和演算回路 118 の出力の一方を選択し、選択された出力が出力端子 t3 に取り出される。
10

さらに、ライン遅延回路 117 の出力信号と、入力端子 t2 から画像信号とがクラス分類回路 111b、遅延および選択回路 112b に供給される。入力端子 t2 および t2 から 1 フレームの時間差を有する画像信号を供給することによって、クラス分類回路 111b が 3 次元のクラス分類を行うことができ、また、遅延および選択回路 112b が 1 次元、2 次元、3 次元のタップ構造を選択的に持つことができる。
15

20 上述のこの発明の一実施例の構成は、制御信号を変えることによって、複数のデジタル信号処理が可能である。その具体例について説明する。最初に、デジタルテレビジョン信号のアップコンバージョンの処理に対して適用した例について説明する。ここでは、標準解像度のデジタルテレビジョン信号（SD 信号と称する）が入力され、最初に垂直方向
25

で画素数を2倍とし、その後に水平方向に画素数を2倍とする分離処理によって、画素数が4倍の高解像度のデジタルテレビジョン信号（HD信号と称する）を形成するアップコンバージョンの例について述べる。なお、最初に水平方向の
5 処理を行い、次に垂直方向の処理を行っても良い。

第3図は、端子t5からの制御信号によって、かかるアップコンバージョンの処理を行なうように構成されたLSI10を示す。第3図および後述の第11図において破線の信号線は、配線されているが、切り換え回路113a、113b
10 、114a、114b、および119によって選択されない信号に関する信号線を意味している。SD信号が入力端子120aに対して供給され、水平-垂直走査線変換回路121aを介してLSI10の入力端子t1に供給される。この走査線変換回路121aは、メモリを含み、水平走査（テレビ
15 ジョンラスタの走査順序）から垂直走査への変換を行う。すなわち、各サンプリング位置において縦方向に整列する画素が画面の左端のサンプリング位置から右端へ向かう順序で、また、各サンプリング位置においては上から下へ向かう順序で出力される。

20 アップコンバージョン時に機能している回路について説明すると、入力端子t1に対して、クラス分類回路111a、遅延および選択回路112aが接続される。クラス分類回路111aからの1次元クラス分類の結果である、クラス情報（コード信号）が切り換え回路113aを介して係数メモリ
25 115aにアドレスとして供給される。係数メモリ115a

には、予め学習により得られた係数が格納されている。係数メモリ 115 a から読出された係数がフィルタ演算回路（1次元フィルタ）116 a に供給される。

5 フィルタ演算回路 116 a は、SD 信号の複数の画素データと係数メモリ 115 a からの複数の係数とをそれぞれ乗算し、乗算結果を加算する。このフィルタ演算回路 116 の出力信号が切り換え回路 119 を介して出力端子 t 3 に取り出される。入力端子 t 1 および出力端子 t 3 の間の構成によって、垂直方向において画素数が 2 倍とされる。この出力信号が L S I 10 の入力端子 120 b に戻され、入力端子 120 b から垂直-水平走査線変換回路 121 b に供給される。この走査線変換回路 121 b の出力信号が再び L S I 10 の入力端子 t 2 に供給される。走査線変換回路 121 b は、メモリを含み、垂直走査から水平走査への変換を行う。すなわち
10 、走査線変換回路 121 b の出力信号は、テレビジョンラスターと同様の走査の信号となる。

入力端子 t 2 に対しては、上述の入力端子 t 1 と同様に、クラス分類回路 111 b、遅延および選択回路 112 b が接続される。さらに、これらの回路ブロックと、切り換え回路
20 113 b、切り換え回路 114 b、係数メモリ 115 b、フィルタ演算回路（1次元フィルタ）116 b とによって、水平方向に画素数を 2 倍に増やす処理がなされる。従って、出力端子 t 4 には、水平および垂直方向に画素数がそれぞれ 2 倍とされ、4 倍の画素数の信号（HD 信号）が得られる。

25 アップコンバージョンの処理例えば垂直方向の処理につい

てより詳細に説明する。第4図は、時間的に連続する3フィールド（それぞれ $k-1$ 、 k 、 $k+1$ と表す）間の画素配列の関係を示す。インターレース走査の関係から、フィールド k のライン位置と、その前のフィールド $k-1$ のライン位置（またはその後のフィールド $k+1$ のライン位置）との間に、 $0.5H$ 分の垂直方向の位置ずれがある。このようなインターレース走査の場合では、各フィールドのライン数を単に2倍とすることでは、インターレース関係がくずれてしまう。

ライン間の垂直方向の間隔を1で表すと、SD画素（白丸で示す）例えば x_4 の上側の距離 $1/8$ の位置にHD画素（黒丸で示す） $y_{b'}$ を生成し、その下側の距離 $3/8$ の位置にHD画素（黒丸で示す） $y_{a'}$ を生成することによって、インターレース関係を保ちながらライン数を2倍とできる。

次のフィールド $k+1$ では、SD画素の上側の $3/8$ の位置にHD画素 $y_{a'}$ を生成し、その下側の $1/8$ の位置にHD画素 $y_{b'}$ を生成する。このように、フィールド間で、HD画素を生成する位置が切り換わるので、係数もフィールド間で切り換える必要がある。係数メモリ115aは、HD画素 $y_{a'}$ および $y_{b'}$ をそれぞれ生成するための二組の係数を別個に格納するメモリと、二組の係数をフィールド毎に切り換える切り換え回路を有する。

第3図における水平-垂直走査変換回路121aによって、例えば k 番目のフィールドにおいて、SD画素の順序が x_1 、 x_2 、 x_3 、 \dots と変換される。この時系列で連続す

る 7 個の S D 画素と、係数メモリ 1 1 5 a から読出された二組の係数 $a_1 \sim a_7$ および $b_1 \sim b_7$ によって、注目画素の値 y_{\cdot} 、 y_{\cdot} がそれぞれ生成される。すなわち、

$$\begin{aligned} y_{\cdot} &= a_1 x_1 + a_2 x_2 + \cdots + a_7 x_7 \\ 5 \quad y_{\cdot} &= b_1 x_1 + b_2 x_2 + \cdots + b_7 x_7 \end{aligned}$$

遅延および選択回路 1 1 2 a からは、H D 画素値 y_{\cdot} を形成するのに必要な S D 画素値と、H D 画素値 y_{\cdot} を形成するのに必要な S D 画素値とが出力され、切り換え回路 1 1 4 a では、これらの画素値が切り換えられてフィルタ演算回路 1 1 6 a に供給される。フィルタ演算回路 1 1 6 a では、
10 上述の線形 1 次結合によって、H D 画素値 y_{\cdot} および y_{\cdot} を計算し、出力端子 t 3 には、垂直方向の画素数が 2 倍とされた垂直倍速信号が得られる。

一方、フィルタ演算回路 1 1 6 b においては、上述と同様に、例えば水平方向の 7 個の S D 画素の値と、係数メモリ 1
15 1 5 b からの係数とによって 1 次元フィルタの演算がなされ、水平方向に 2 倍の数とされた水平倍速信号が形成される。例えば入力 S D 信号が 1 3. 5 MHz の場合では、2 7 MHz のサンプリングレートの垂直倍速信号が生じ、さらに、水平処理によって、出力端子 t 4 には、5 4 MHz のサンプリングレートの H D 信号が生じる。
20

遅延および選択回路 1 1 2 a、1 1 2 b は、後述するノイズリデューサの例の場合では、2 次元フィルタ演算をフィルタ演算回路 1 1 6 a、1 1 6 b が行うために、2 次元タップ
25 の出力を発生する。1 次元タップ構造と 2 次元タップ構造の

切り換えは、例えば第5図の構成によって可能である。

この例は、第6図Aに示される1次元タップ構造（アップ
コンバージョン）の場合と、第6図Bに示される2次元タッ
プ構造（ノイズリデューサ）の場合とで、タップ構造を切り
5 換えるものである。第6図Aの1次元タップ構造では、同一
ライン例えば1-1上の7画素の値 $x_1 \sim x_7$ と係数との線
形1次結合によって、予測画素値を計算する。また、第6図
Bの2次元タップ構造では、ライン1-1上の5画素の値 $x_2 \sim x_6$ と、 x_4 の上下の画素の値 x_1 および x_7 との合計
10 7個の画素の値と係数との線形1次結合によって、予測画素
値を計算する。

第5図の構成において、SDがサンプル遅延素子であり、
LDがライン遅延素子である。二つのライン遅延素子が直列
に接続されているので、これらの入力および出力からは、3
15 ライン1, 1-1, 1-2の信号が同時に取り出される。そ
して、各ラインの信号に対して、直列に接続された6個のサ
ンプル遅延素子がそれぞれ接続されている。従って、各サン
プル遅延素子の入力および出力からは、第6図に示すような
（3ライン×7画素）の2次元領域内の画素が同時に得られ
20 る。

1次元タップ構造と2次元タップ構造の間では、 $x_2 \sim x_6$ の5画素の値が共用される。 x_1 および x_7 に関しては、二つのセレクタによって、各タップ構造と対応して必要なものを選択する構成とされる。このように、遅延および選択
25 回路112aは、多くの遅延素子を共用しながら、1次元タ

5 ップ構造または2次元タップ構造をセレクト制御信号に応じて切り換えることができる。遅延および選択回路112bも第5図に示す構成と同様のものであるが、入力端子t2'からの1フレーム遅延出力も入力されることにより、3次元タ
ップ構造も可能である。

 係数メモリ115a、115bに蓄えられている係数は、予め学習により獲得され、初期化動作によって書込まれたものである。そして、この係数は、注目画素のクラス毎に決定されている。例えば第4図中で、 y_{11} 、 y_{12} が注目画素
10 のデータである。クラス分類の方法の一つは、注目画素の周辺の入力信号のレベル分布のパターンを利用するものがある。例えば第4図において、注目画素の周辺の3個の画素データ(SD信号)のレベル分布のパターンに基づいてクラス分類がなされる。

15 一般的に、画素データは、8ビットの量子化データであるので、3画素の場合、($8 \times 3 = 24$ ビット)となり、24ビットの全ての組合せが 2^{24} となる。このクラス数は膨大であり、係数を記憶するメモリ等のハードウェアが複雑となる。そこで、クラス分類回路111a、111bは、クラス分
20 類に使用する各画素のビット数を圧縮することによって、クラス数を適正な値としている。

 クラス分類のために参照する各画素のビット数を圧縮するための一つの方法は、各画素をレベル方向に正規化することである。一例として、参照される3画素の平均値を求め、平均
25 値に対する大小関係によって、周囲の画素を8ビットから

1 ビットへ圧縮する。すなわち、平均値より大きい値の場合は、'1' を割り当て、平均値より小さい値の場合は、'0' を割り当てる。その結果、3 ビットのコード信号によりクラス情報が示される。

- 5 第7図は、クラス分類回路 111a の一例を示す。第8図 B に示すように、(3 ライン×3 画素) の2次元領域内に含まれる9画素が2個のライン遅延素子(LD)と、各ラインのデータに関してそれぞれ2個ずつ設けられた計6個のサンプル遅延素子(SD)とによって同時化される。クラス分類
10 の方法としては、1次元クラス分類、2次元クラス分類、3次元クラス分類がある。後述するノイズリデューサにおいては、2次元クラス分類および3次元クラス分類の処理が必要となる。

- 1次元クラス分類は、第8図Aに示すように、時系列(同
15 一ライン)上の連続する3個の画素(x_1 、 x_2 および x_3)を使用する。2次元クラス分類は、第8図Bに示すように、(3 ライン×3 画素) の2次元領域内の9画素を使用する。1フレーム前の画像信号を使用することによって、3次元
20 クラス分類が可能である。第7図の例は、1次元および2次元のクラス分類を切り換えることが可能とされている。

- 3画素を使用した1次元クラス分けの場合では、ゲート回路がオフとされ、ROMには、3画素の値の和($=x_1 + x_2 + x_3$)が供給され、ROMは、その平均値 A_v を発生する。9画素を使用した2次元クラス分けの場合では、ゲート
25 回路がオンとされ、ROMには、9画素の値の和($=x_1 +$

$x_2 + x_3 + \dots + x_n$) が供給され、ROMは、平均値 A_v として、9画素の値の平均値を発生する。

ROMからの平均値と各画素の値がそれぞれ比較回路にて比較され、画素値が平均値より大きい場合に '1' であり、画素値が平均値以下の場合に '0' である比較出力、すなわち、
5 クラス情報を発生する。第7図の構成は、ゲート回路およびROMを制御することによって、1次元クラス分類および2次元クラス分類の何れも行うことができる。

また、正規化の他の方法としては、ADRCを使用できる。
10 ADRCは、複数の画素のダイナミックレンジDRおよび最小値MINを検出し、各画素の値から最小値MINを減算し、最小値が減算された値をダイナミックレンジDRで除算し、商を整数化する処理である。

例えば1ビットADRCの場合について説明すると、3画素の中の最大値MAXおよび最小値MINが検出され、ダイナミックレンジDR ($= \text{MAX} - \text{MIN}$) が計算される。各画素の値から最小値MINが減算され、最小値除去後の値がダイナミックレンジDRで割算される。この割算の商が0.5と比較され、0.5以上の場合は、'1' とされ、商が0.5より少ない場合は、'0' とされる。1ビットADRCは、
15 上述の平均値と各画素の値とを比較するものと実質的に同一の結果が得られる。2ビットADRCの場合であれば、 $\text{DR} / 2^2$ で計算される量子化ステップ幅によって、最小値除去後の値が割算される。

25 次に、係数メモリ115a、115bに蓄えられる係数を

得るための学習について説明する。第 9 図は、係数メモリ 1 1 5 a に蓄えられる係数を決定するための学習時の構成を示す。なお、係数メモリ 1 1 5 b に蓄えられる係数の決定も同様であるので、その説明は省略する。第 9 図において、4 1 で示す入力端子に、垂直－水平走査変換された H D 信号が供給され、間引きフィルタ 4 2 によって、画素数が半分に間引かれる。間引きフィルタ 4 2 の出力信号が係数決定回路 4 3 およびクラス分類回路 4 4 に供給される。クラス分類回路 4 4 は、クラス分類回路 1 1 1 a と同様に、周囲の画素を使用して注目画素のクラスを決定する。クラス分類回路 4 4 からのクラスコードが係数決定回路 4 3 およびメモリ 4 5 にそれぞれ供給される。

係数決定回路 4 3 は、線形 1 次結合で生成される予測値とその真値との誤差の二乗和を最小とするような係数を決定する。入力端子 4 1 に供給される H D 信号が係数決定回路 4 3 に対して、注目画素の真値として供給される。係数決定回路 4 3 は、最小二乗法によって最良の予測係数を決定する。決定された係数がメモリ 4 5 に格納される。格納アドレスは、クラス分類回路 4 4 からのクラスコードで指示される。

係数決定をソフトウェア処理で行う動作について、第 1 0 図を参照して説明する。まず、ステップ 5 1 から処理の制御が開始され、ステップ 5 2 の学習データ形成では、既知の画像に対応した学習データが形成される。ステップ 5 3 のデータ終了では、入力された全データ例えば 1 フレームのデータの処理が終了していれば、ステップ 5 6 の予測係数決定へ、

終了していなければ、ステップ 5 4 のクラス決定へ制御が移る。

ステップ 5 4 のクラス決定は、上述した注目画素についてのクラス決定処理を行い、クラスを指示するクラスコードを形成するテップである。次のステップ 5 5 の正規方程式生成では、後述する正規方程式が作成される。ステップ 5 3 のデータ終了から全データの処理が終了後、制御がステップ 5 6 に移り、ステップ 5 6 の予測係数決定では、後述する式 (8) を行列解法を用いて解いて、係数を決める。ステップ 5 7 の予測係数ストアで、予測係数をメモリ 4 5 にストアし、ステップ 5 8 で学習処理の制御が終了する。

第 10 図中のステップ 5 5 (正規方程式生成) およびステップ 5 6 (予測係数決定) の処理をより詳細に説明する。学習時には、注目画素の真値 y が既知である。注目画素の補正値を y' 、その周囲の画素の値を $x_1 \sim x_n$ としたとき、クラス毎に係数 $w_1 \sim w_n$ (上述した $a_1 \sim a_n$ あるいは $b_1 \sim b_n$ に対応する) による n タップの線形 1 次結合

$$y' = w_1 x_1 + w_2 x_2 + \cdots + w_n x_n \quad (1)$$

を設定する。学習前は w_i が未定係数である。

上述のように、学習はクラス毎になされ、データ数が m の場合、式 (1) に従って、

$$y_{j'}' = w_1 x_{j1} + w_2 x_{j2} + \cdots + w_n x_{jn} \quad (2)$$

(但し、 $j = 1, 2, \cdots, m$)

$m > n$ の場合、 $w_1 \sim w_n$ は一意には決まらないので、誤差ベクトル E の要素を

$$e_j = y_j - (w_1 x_{j1} + w_2 x_{j2} + \dots + w_n x_{jn}) \quad (3)$$

(但し、 $j = 1, 2, \dots, m$)

と定義して、次の式(4)を最小にする係数を求める。

5

$$E^2 = \sum_{j=0}^m \{e_j\}^2 \quad (4)$$

いわゆる最小自乗法による解法である。ここで式(4)の w_1 による偏微分係数を求める。

10

$$\frac{\partial E^2}{\partial w_1} = \sum_{j=0}^m 2 \left(\frac{\partial e_j}{\partial w_1} \right) e_j = \sum_{j=0}^m 2 x_{j1} \cdot e_j \quad (5)$$

式(5)を0にするように各 w_1 を決めればよいから、

15

$$X_{j1} = \sum_{p=0}^m x_{p1} \cdot x_{pj} \quad (6)$$

$$Y_1 = \sum_{j=0}^m x_{j1} \cdot y_j \quad (7)$$

20

として、行列を用いると

$$\begin{bmatrix} X_{11} & X_{12} & \dots & X_{1n} \\ X_{21} & X_{22} & \dots & X_{2n} \\ \dots & \dots & \dots & \dots \\ X_{n1} & X_{n2} & \dots & X_{nn} \end{bmatrix} \begin{bmatrix} w_1 \\ w_2 \\ \dots \\ w_n \end{bmatrix} = \begin{bmatrix} Y_1 \\ Y_2 \\ \dots \\ Y_n \end{bmatrix} \quad (8)$$

25

となる。この方程式は一般に正規方程式と呼ばれている。
この方程式を掃き出し法等の一般的な行列解法を用いて、 w_i
について解けば、予測係数 w_i が求まり、クラスコードを
アドレスとして、この予測係数 w_i をメモリ45に格納して
5 おく。

なお、クラス分類適応処理に基づくアップコンバージョン
は、上述の一例に限らず、種々の構成が可能である。例えば
学習により予め予測値そのものを獲得しておき、これをメモ
リに蓄えておくこともできる。また、1次元処理ではなく、
10 2次元あるいは3次元処理によって、HD画素の値を得るよ
うにしても良い。

次に、第2図に示すLSI10により構成される信号処理
回路の他の例について説明する。他の例は、制御信号の設定
により第11図に示すように構成されたディジタルノイズリ
15 デューサである。

第11図において、122で示す入力端子にノイズを含む
ディジタルビデオ信号が供給される。入力ビデオ信号は、L
S I 1 0の入力端子t1、t2およびフレームメモリ123
に供給される。フレームメモリ123からの前フレームのビ
20 デオ信号がLSI10の入力端子t2'に供給される。

入力端子t1からの現フレームのビデオ信号がクラス分類
回路111a、遅延および選択回路112a、ライン遅延回
路117にそれぞれ供給される。入力端子t2に供給された
現フレームのビデオ信号がクラス分類回路111b、遅延お
25 よび選択回路112bにそれぞれ供給される。ライン遅延回

路 1 1 7 は、ラスタ走査の順序のデータの隣接する複数の
ラインのデータを同時化するために設けられている。ライン
遅延回路 1 1 7 の出力信号がクラス分類回路 1 1 1 a、1 1
1 b、遅延および選択回路 1 1 2 a、1 1 2 b にそれぞれ供
5 給される。入力端子 t 2 ' に供給された前フレームのビデオ
信号がクラス分類回路 1 1 1 b、遅延および選択回路 1 1 2
b にそれぞれ供給される。

クラス分類回路 1 1 1 a で得られたクラス情報（コード信
号）が切り換え回路 1 1 3 a を介して係数メモリ 1 1 5 a に
10 対してアドレスとして供給され、クラス分類回路 1 1 1 b で
得られたクラス情報が切り換え回路 1 1 3 b を介して係数メ
モリ 1 1 5 b に対してアドレスとして供給される。係数メモ
リ 1 1 5 a、1 1 5 b には、予め学習により得られた係数が
蓄えられており、クラス情報と対応して読出された係数が 2
15 次元フィルタとして機能するフィルタ演算回路 1 1 6 a およ
び 3 次元フィルタとして機能するフィルタ演算回路 1 1 6 b
にそれぞれ供給される。

フィルタ演算回路（2次元フィルタ）1 1 6 a は、現フレ
ーム内で隣接する複数の画素からなる 2 次元ブロック単位で
20 ノイズ除去された画素データを生成する。フィルタ演算回路
（3次元フィルタ）1 1 6 b は、現フレームおよび前フレ
ームの複数の画素からなる 3 次元ブロック単位でノイズ除去さ
れた画素データを生成する。

フィルタ演算回路 1 1 6 a および 1 1 6 b のそれぞれから
25 のノイズ除去されたビデオ信号が積和演算回路 1 1 8 に供給

される。積和演算回路 118 からの合成ビデオ信号、すなわち、ノイズ除去されたディジタルビデオ信号が切り換え回路 119 を介して出力端子 t4 に取り出される。積和演算回路 118 は、フィルタ演算回路（2次元フィルタ）116a の
5 出力信号とフィルタ演算回路（3次元フィルタ）116b の出力信号とを動き係数 K により重み付け加算する。動き係数 K は、クラス分類回路 111b で生成される。

クラス分類回路 111a は、2次元のクラス分類を行なう。すなわち、注目画素を中心とするブロックのレベル分布の
10 パターンに基づいて、この注目画素のクラスを決定する。一方、クラス分類回路 111b は、3次元のクラス分類を行なう。3次元のクラス分類は、3次元ブロックのレベル分布のパターンに基づいて行なっても良いが、動き係数 K を発生するために、動き検出の結果に基づいたクラス分類が好ましい
15 。

公知の動き検出の方法の一つとして、グラジェント法と称されるものを採用できる。これは、動き領域中の全画素についてのフレーム差と傾き情報（水平方向では、サンプリング差、垂直方向ではライン差）を用いて動き量を求めるものである。まず、ビデオ信号の傾斜部が動いた時に、フレーム差 ΔF （現フレームの画素値から前フレームの対応画素値を減算したもの）と、サンプリング差 ΔE （現画素の値から前画素の値を減算したもの）E を求める。そして、フレーム差 ΔF の絶対値 $|\Delta F|$ の動き領域中の積算値 $\Sigma |\Delta F|$ と、サン
20 プリング差 ΔE の絶対値 $|\Delta E|$ の動き領域中の積算値 Σ
25

$|\Delta E|$ とから、水平方向の動き量 v_1 の大きさが求まる。
すなわち、

$$|v_1| = \Sigma |\Delta F| / \Sigma |\Delta E|$$

ここで、フレーム差 ΔF の極性とサンプリング差 ΔE の極
5 性との関係から動きの方向が求められる。垂直方向の動きに
ついて同様に検出できる。

クラス分類回路 111b は、例えば上述のグラジェント法
によって、動き量を求め、その動き量に応じた動き係数 K を
発生する。また、フレーム差 ΔF (あるいは $|\Delta F|$) と、
10 サンプリング差 ΔE (あるいは $|\Delta E|$) とに基づいて、ク
ラス分類がなされる。この場合、これらのフレーム差および
サンプリング差の値を正規化した値を使用して適正な数のク
ラスを形成するようになされる。

上述のノイズリデューサについて、2次元処理を例に説明
15 する。係数メモリ 115a には、予め学習により求めた係数
が格納されている。第12図は、学習時の構成を示し、71
で示す入力端子にノイズを含むディジタルビデオ信号が供給
される。この入力信号がノイズリデューサ72およびブロッ
ク化回路73に供給される。ノイズリデューサ72は、入力
20 信号中のノイズを除去するもので、その一例は、 N フレーム
のメモリを使用し、 $N+1$ フレームの画像の平均値を形成す
るものを使用できる。すなわち、ノイズは、一般的にランダ
ムであるので、平均化により、ノイズが除去される。

ノイズリデューサ72の出力信号(ノイズ低減信号)がブ
25 ロック化回路74に供給される。ブロック化回路73および

7 4 は、時系列変換回路であって、ラスタ走査の順序をブロックの順序のデータへ変換する。ブロック化回路 7 3 の出力信号がクラス分類回路 7 5 に供給される。クラス分類回路 7 5 は、注目画素を中心とするブロック内のレベル分布に基づいて注目画素のクラスを決定する。このクラス分類回路 7 5 からのクラス情報が係数決定回路 7 6 およびメモリ 7 7 に供給される。

係数決定回路 7 6 には、ブロック化回路 7 3 および 7 4 から入力信号およびノイズ低減信号が供給される。係数決定回路 7 6 は、上述のアップコンバージョンの場合の係数決定と同様に、最小二乗法によって、最良の係数を決定する。すなわち、注目画素の周辺のブロック内の複数画素（入力信号の画素）と複数の係数との線形 1 次結合によって、注目画素の予測値を生成した時に、この予測値とノイズ低減信号の対応画素の値との誤差を最小とする係数が決定される。係数決定回路 7 6 からの決定された係数がクラス情報で指定されるメモリ 7 7 のアドレスに書込まれる。

ブロック化回路 7 3 は、第 1 3 図 A に示すように、例えば画素 x_1 を中心として、 (3×3) の大きさのブロック BL_1 を形成する。一方、ブロック化回路 7 4 は、第 1 3 図 B に示すように、画素 y_1 を中心として (3×3) の大きさのブロック BL_{11} を形成する。ここで、画素 x_1 と y_1 とは、画像中で対応する位置の画素であり、画素 x_1 がノイズを含み、 y_1 がノイズが低減されたものである。次のブロック BL_2 および BL_{12} は、第 1 3 図 C および第 1 3 図 D にそれ

ぞれ示すように、ブロックの境界が1画素シフトしたものであり、画素 x_2 および y_2 をそれぞれ中心とするものである。

このように、ブロックの境界をシフトすることで、多数の学習用データを集め、第10図のフローチャートおよび上述した処理によって、係数を決定する。その結果、例えば第13図Aに示す入力信号のブロックBL1が与えられた時に、ブロックBL1内の8個の画素の値（注目画素 x_1 以外の画素の値）と8個の係数との線形1次結合により形成された予測値がノイズを含まない画素の値 y_1 と殆ど同じ値となる。このようにして、注目画素 x_1 のノイズが除去される。

フィルタ演算回路（3次元フィルタ）116bは、クラス分類およびフィルタ演算以外では、上述のフィルタ演算回路（2次元フィルタ）116aと同様にしてノイズ除去の処理を行なう。動き係数Kが動き量と対応するので、フィルタ演算回路116aの出力信号に対して、係数Kが乗じられ、フィルタ演算回路116bの出力信号に対して、係数 $(1-K)$ が乗じられ、これらの係数が乗じられた信号が加算される。すなわち、動き量が多い時には、時間方向の画像の相関が少なくなるので、フィルタ演算回路116aの出力の重みが大とされる。

アップコンバージョンとノイズリデューサの具体例について説明したが、これら以外のデジタル信号処理の機能を発揮するように、制御信号により制御することができる。クラス分類適応処理を用いるデジタル画像信号処理の例では、

サブサンプリングにより間引かれた画素を補間する補間回路、デジタルクロマキー装置におけるキー信号の生成回路等を構成することができる。

- 5 以上説明したこの発明は、専用LSIのように、特定の機能に限定されず、また、上述の実施例におけるクラス分類適応処理のように、実現する機能の範囲をある程度制限するので、DSPのような十分な汎用性はないが、効率の良い処理を可能とできる。

請求の範囲

1. 単一の集積回路内に複数の回路群および少なくとも二つの状態を切り換え可能な選択手段が設けられてなり、外部からの信号によって上記選択手段が選択制御されるデジタル信号処理用集積回路であって、

上記選択手段が第1の選択状態をとる時に上記複数の回路群の少なくとも一部が第1の接続状態となされ、上記第1の接続状態で第1の信号処理機能を遂行しうるようになされ、上記選択手段が第2の選択状態をとる時に、上記複数の回路群の少なくとも一部が上記第1の接続状態とは異なる第2の接続状態となされ、この接続状態で上記第1の信号処理機能とは異なる第2の信号処理機能を遂行するようになされたことを特徴とするデジタル信号処理用集積回路。

2. 単一の集積回路内に複数の回路群および少なくとも二つの状態を切り換え可能な選択手段が設けられてなり、外部からの信号によって上記選択手段が選択制御されるデジタル信号処理用集積回路であって、

上記選択手段が第1の選択状態をとる時に上記複数の回路群の少なくとも一部が第1の接続状態となされ、上記第1の接続状態で第1の信号処理機能を遂行しうるようになされ、上記選択手段が第2の選択状態をとる時に、上記複数の回路群の少なくとも一部が上記第1の接続状態とは異なる第2の接続状態となされ、この接続状態で上記第1の信号処理機能とは異なる第2の信号処理機能を遂行するようになされ、

- これと共に、上記複数の回路群の少なくとも一部は、上記

選択手段の選択状態に応じて異なる回路機能を持つようになされ、それによって集積回路全体の信号処理機能が切り換えられるようになされたことを特徴とするデジタル信号処理用集積回路。

- 5 3. 請求の範囲 1 または請求の範囲 2 に記載のデジタル信号処理用集積回路において、

第 1 の信号処理機能が解像度補償のための信号処理であり、第 2 の信号処理機能がノイズ除去のための信号処理であることを特徴とするデジタル信号処理用集積回路。

- 10 4. 請求の範囲 2 に記載のデジタル信号処理用集積回路において、

複数の回路群は、第 1 および第 2 のフィルタ演算手段と、上記第 1 および第 2 のフィルタ演算手段に対してタップ出力を供給するための手段と、上記第 1 および第 2 のフィルタ演算手段によりそれぞれ予測する画素データをクラス分類する手段と、上記クラス分類手段からのクラス情報に対応して上記第 1 および第 2 のフィルタ演算手段に対してそれぞれフィルタ係数を与えるためのメモリとから構成されることを特徴とするデジタル信号処理用集積回路。

- 20 5. 請求の範囲 4 に記載のデジタル信号処理用集積回路において、

選択手段の選択状態に応じて異なる回路機能は、1 次元デジタルフィルタ、2 次元デジタルフィルタおよび 3 次元デジタルフィルタのうちの二つであることを特徴とするデジタル信号処理用集積回路。

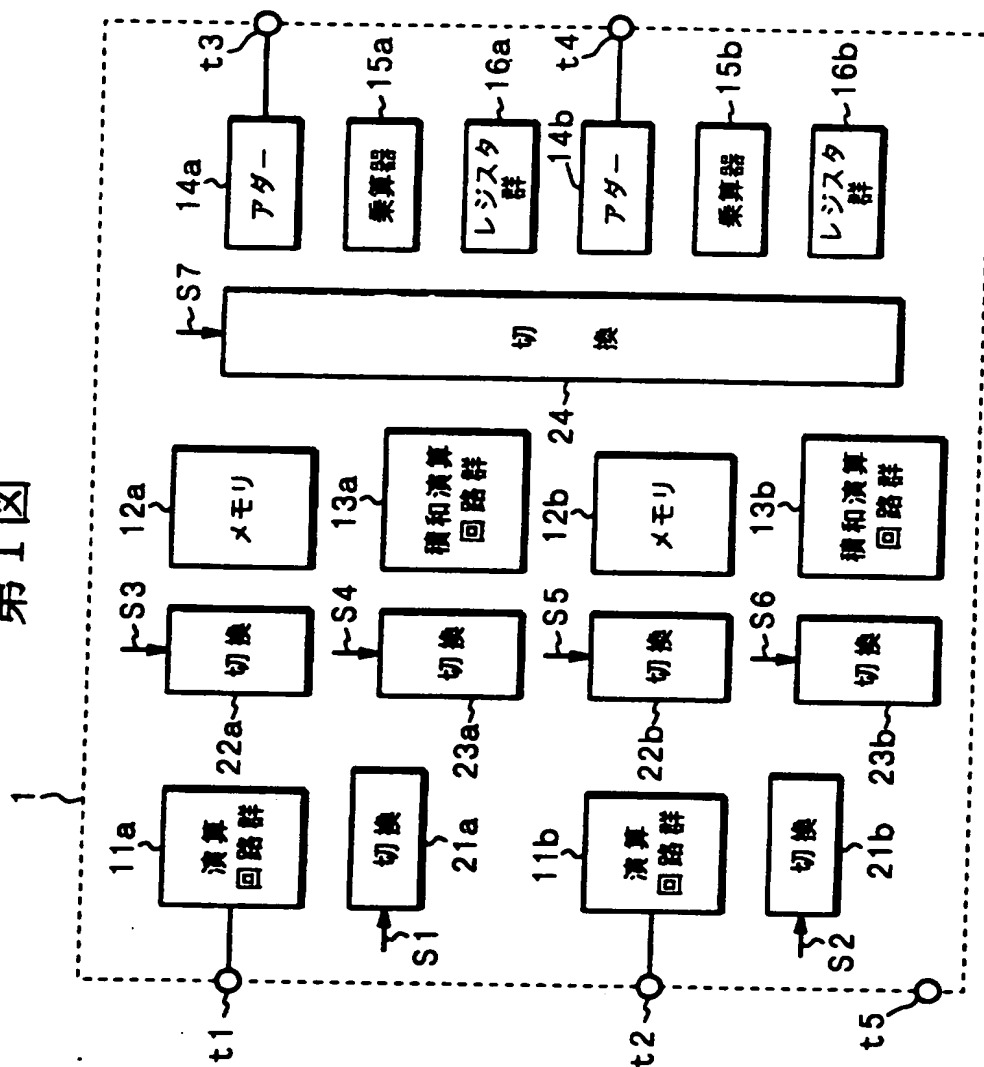
6. 請求の範囲 4 に記載のデジタル信号処理用集積回路において、

上記第 1 および第 2 のフィルタ演算手段の一方に対して与えるタップ出力として、少なくとも 1 次元タップ出力および
5 2 次元タップ出力を切り換えることが可能とされたことを特徴とするデジタル信号処理用集積回路。

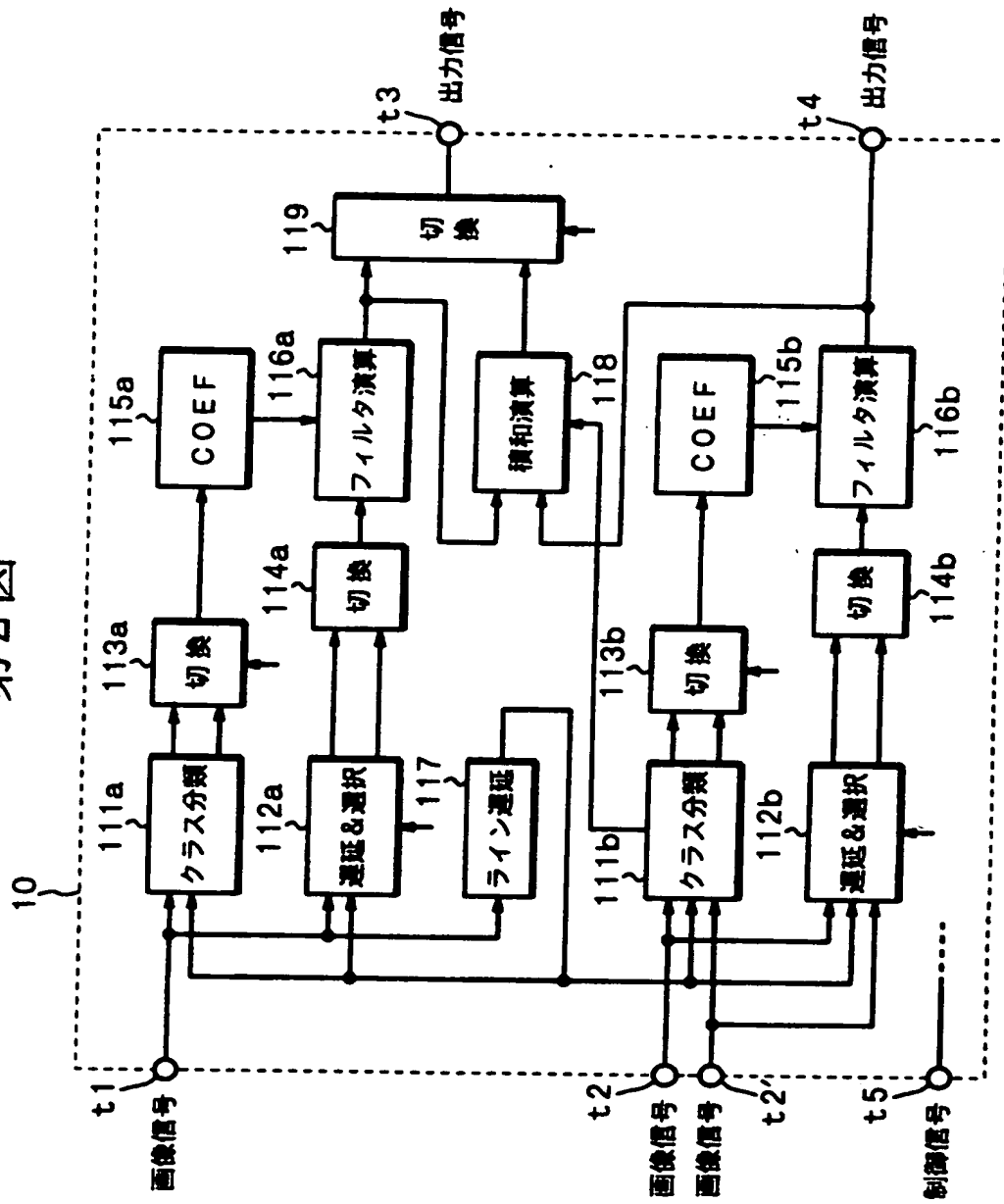
7. 請求の範囲 4 に記載のデジタル信号処理用集積回路において、

上記第 1 および第 2 のフィルタ演算手段の一方に対して与える係数を発生するためのクラス分類として、少なくとも 1
10 次元クラス分類および 2 次元クラス分類を切り換えることが可能とされたことを特徴とするデジタル信号処理用集積回路。

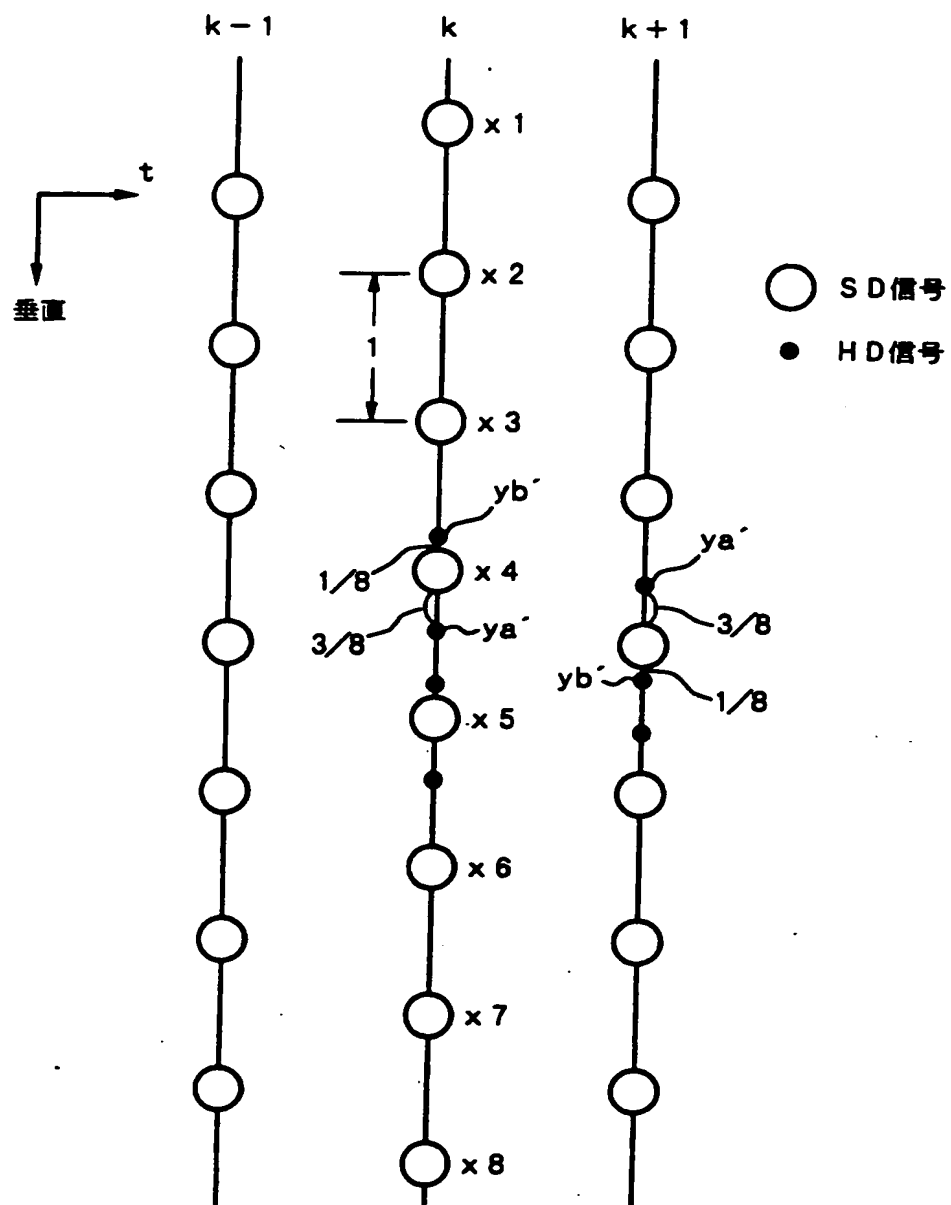
第1図



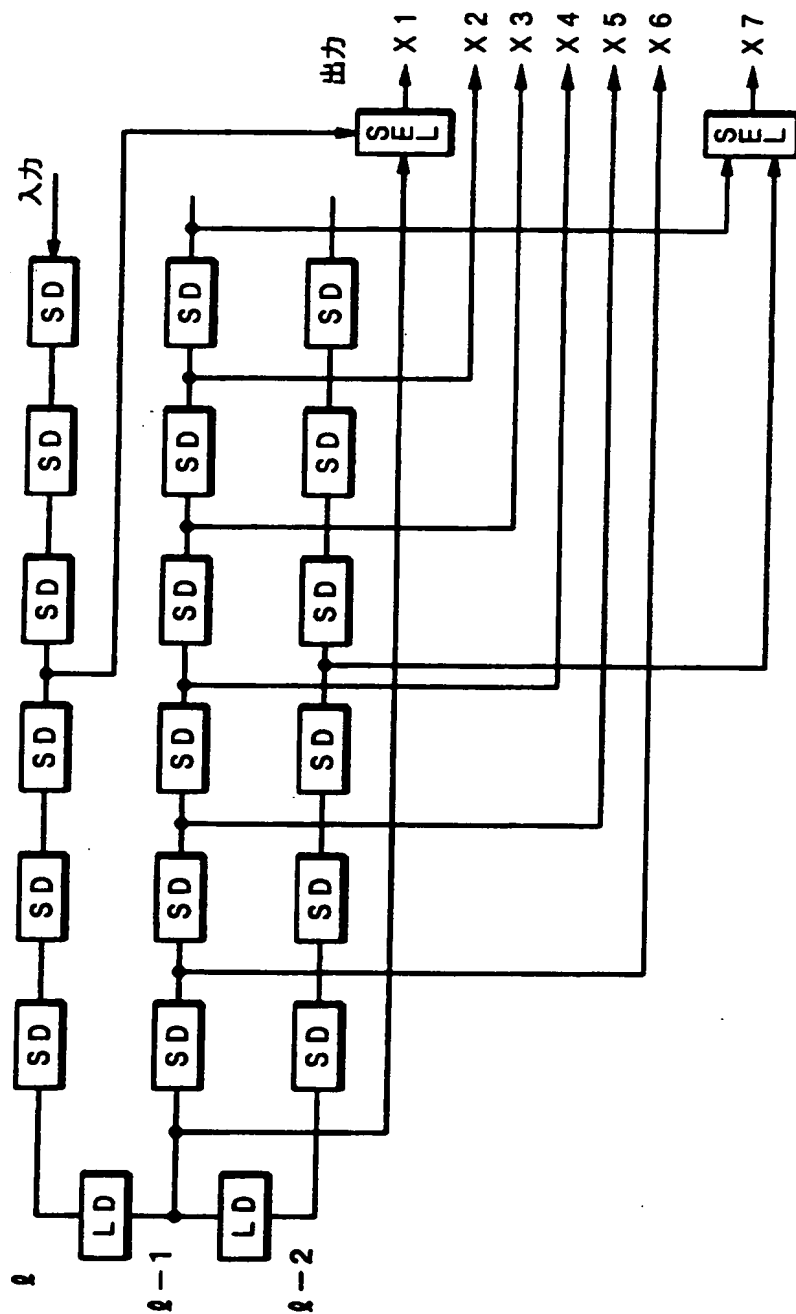
第2図



第4図

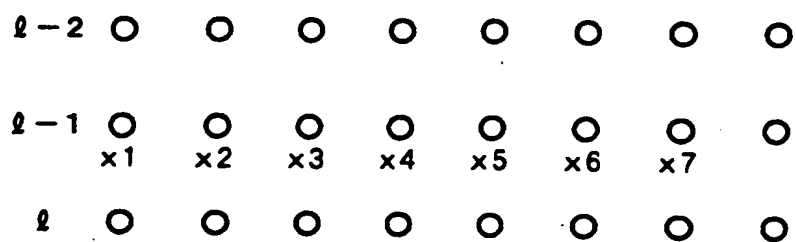


第5図

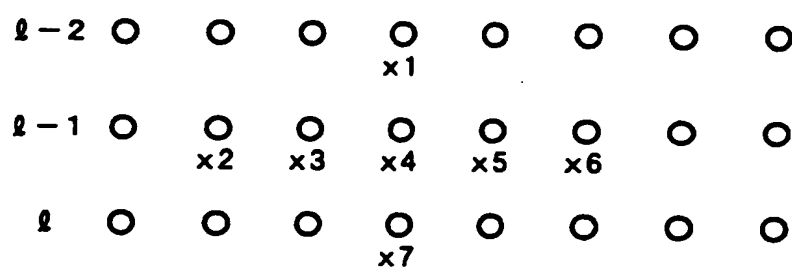


第6図

A



B

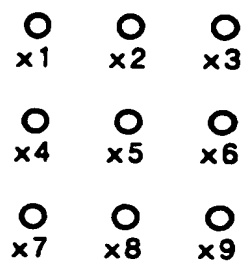


第8図

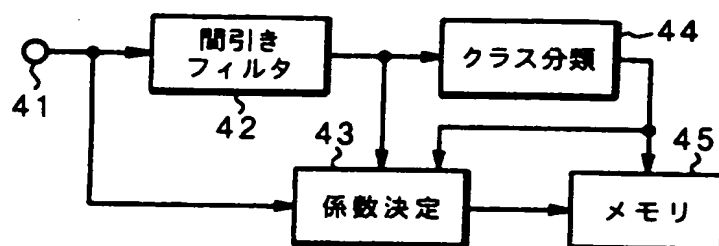
A



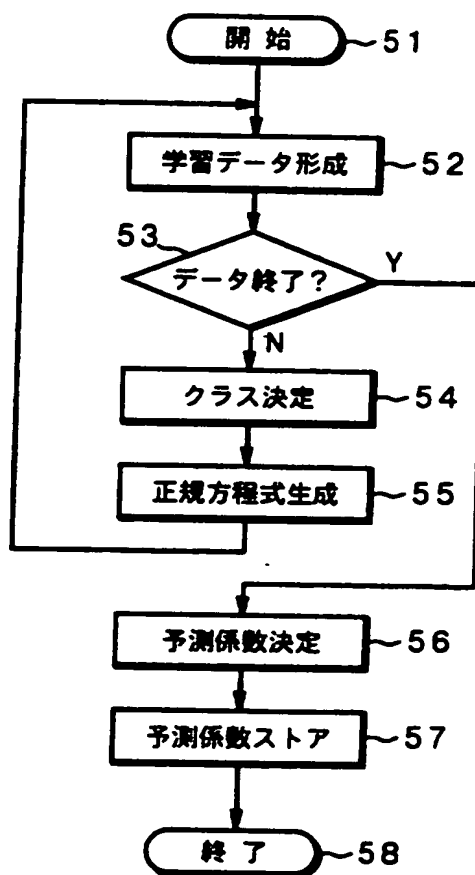
B



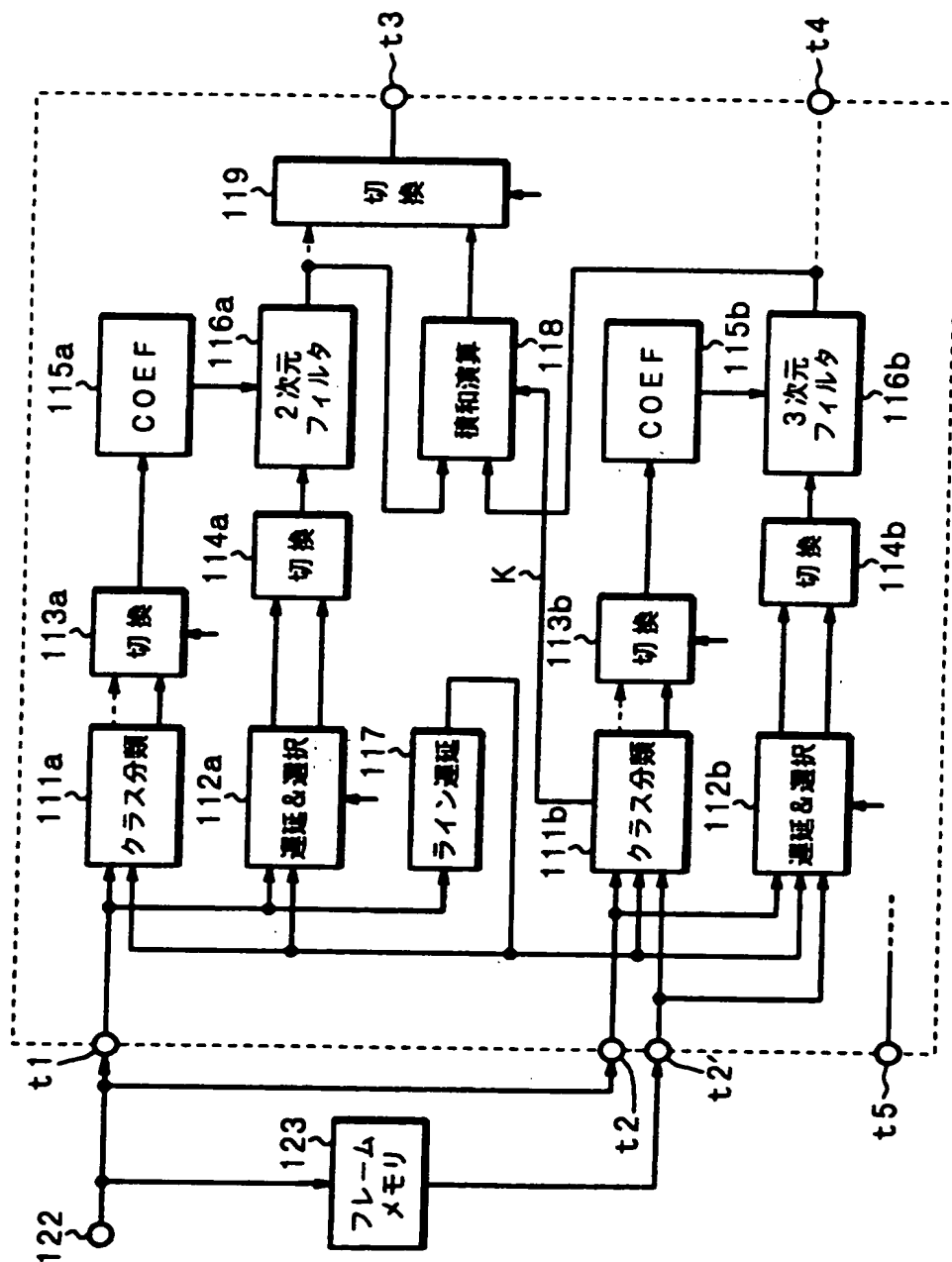
第9図



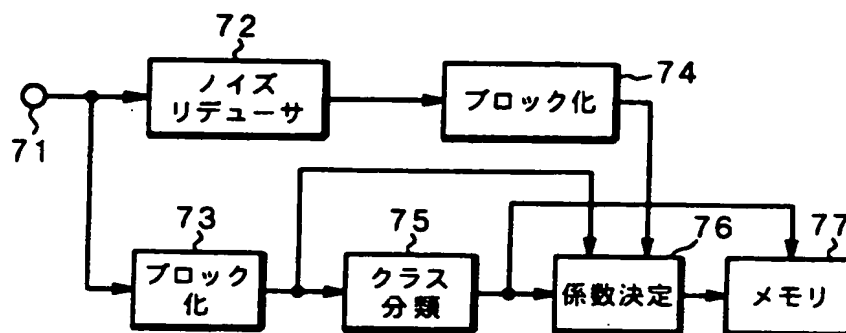
第10図



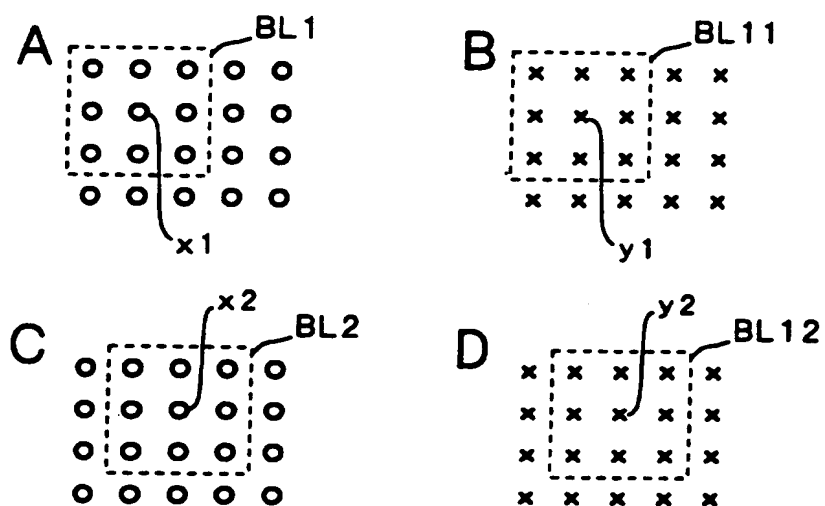
第11図



第 1 2 図



第 1 3 図



1 0 : L S I

1 1 1 a、1 1 1 b : クラス分類回路

1 1 2 a、1 1 2 b : 遅延および選択回路

1 1 5 a、1 1 5 b : 係数メモリ

1 1 6 a、1 1 6 b : フィルタ演算回路

1 1 8 : 積和演算回路

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP95/01779

A. CLASSIFICATION OF SUBJECT MATTER

Int. C16 G06T1/00, H04N5/21, G06F17/10, H03H17/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. C16 G06T1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| Y | JP, 5-20447, A (Nissan Motor Co., Ltd.), January 29, 1993 (29. 01. 93) | 1 - 7 |
| Y | JP, 5-35867, A (Matsushita Electric Ind. Co., Ltd.), February 12, 1993 (12. 02. 93) | 1 - 7 |
| Y | JP, 58-215813, A (Sony Corp.), December 15, 1983 (15. 12. 83) | 4 - 7 |
| Y | JP, 2-25987, A (Fuji Xerox Co., Ltd.), January 29, 1990 (29. 01. 90) & US, 5027423, A | 4 - 7 |
| A | JP, 3-156577, A (Sony Corp.), July 4, 1991 (04. 07. 91) & US, 5089893, A | 3 |

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search

November 14, 1995 (14. 11. 95)

Date of mailing of the international search report

December 5, 1995 (05. 12. 95)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁸ G06T1/00, H04N5/21, G06F17/10,
H03H17/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁸ G06T1/00

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|---|------------------|
| Y | JP, 5-20447, A (日産自動車株式会社), 29. 1月. 1993 (29. 01. 93) | 1-7 |
| Y | JP, 5-35867, A (松下電器産業株式会社), 12. 2月. 1993 (12. 02. 93) | 1-7 |
| Y | JP, 58-215813, A (ソニー株式会社), 15. 12月. 1983 (15. 12. 83) | 4-7 |

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日
若しくは他の特別な理由を確立するために引用する文献
(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日
の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と
矛盾するものではなく、発明の原理又は理論の理解のため
に引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規
性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文
献との、当業者にとって自明である組合せによって進歩性
がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

14. 11. 95

国際調査報告の発送日

05.12.95

名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小林 勝 広

5 H 9 0 6 1

電話番号 03-3581-1101 内線 3533

C (続き) . 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|--|------------------|
| Y | JP, 2-25987, A (富士ゼロックス株式会社), 29. 1月. 1990 (29. 01. 90) & US, 5027423, A | 4-7 |
| A | JP, 3-156577, A (ソニー株式会社), 4. 7月. 1991 (04. 07. 91) & US, 5089893, A | 3 |